

PAT-NO: JP357207362A

DOCUMENT-IDENTIFIER: JP 57207362 A

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: December 20, 1982

INVENTOR-INFORMATION:

NAME

SHIBATA, HIROSHI

NAKADA, HIDEFUMI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

mitsubishi electric corp

N/A

APPL-NO: JP56093277

APPL-DATE: June 16, 1981

INT-CL (IPC): H01L027/14, H04N005/30

US-CL-CURRENT: 257/771, 257/773 , 257/E25.013

ABSTRACT:

PURPOSE: To improve the degree of integration of a functional element per a unit area largely by disposing a pair of substrates, to each one surface thereof functional elements are formed, while opposing the element sides and electrically connecting the elements mutually through an electrode.

CONSTITUTION: An Si substrate 1 is coated with the insulating film 2 of SiO<SB>2</SB>, etc., a hole is bored, an Al electrode pattern 3 contacting with the substrate 1 is shaped while being hung to the end section of the film 2, the end section is coated with an insulating film 4, and the thin-films 5, 6 of

Cr and Cu are laminated and coated onto the whole surface containing the film 4. A photo-resist film 7 is formed cylindrically while being positioned onto the film 4, the inside is buried with the metallic film 8 of Cu, Au or the like, and the conical film with a pointed end is shaped through etching while being covered with the mask of a resist film 9. Likewise, a metallic film 18 composed of Cu or Au is similarly formed to another element in semispherical shape, cylindrical films 7 molded to each element are removed, the film 8 is bitten to the film 18, these are unified through melting, and the element electrically connected in three dimensions is obtained.

COPYRIGHT: (C)1982,JPO&Japio

⑩ 日本国特許庁 (JP)  
⑫ 公開特許公報 (A)

⑪ 特許出願公開  
昭57-207362

⑬ Int. Cl.<sup>3</sup>  
H 01 L 27/14  
H 04 N 5/30

識別記号

庁内整理番号  
6819-5F  
6940-5C

⑭ 公開 昭和57年(1982)12月20日

発明の数 1  
審査請求 未請求

(全 7 頁)

⑮ 半導体装置

⑯ 特 願 昭56-93277

⑰ 出 願 昭56(1981)6月16日

⑱ 発 明 者 柴田浩  
伊丹市瑞原4丁目1番地三菱電  
機株式会社エル・エス・アイ研  
究所内

⑲ 発 明 者 中田秀文

伊丹市瑞原4丁目1番地三菱電  
機株式会社エル・エス・アイ研  
究所内

⑳ 出 願 人 三菱電機株式会社  
東京都千代田区丸の内2丁目2  
番3号

㉑ 代 理 人 弁理士 葛野信一 外1名

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

互いに対向して設けられた第1および第2の基板、上記第1の基板に形成された第1の機能素子、上記第2の基板に形成された第2の機能素子、上記第1の基板に形成され第1の機能素子に電気接続された第1の電極、上記第2の基板に形成され第2の機能素子に電気接続されると共に先端が第1の電極に食い込んで着座した突起状の第2の電極を備えた半導体装置。

3. 発明の詳細な説明

本発明は三次元的に機能素子を積み重ねて形成した半導体装置に関するものである。

本発明は可視光撮像素子、赤外線撮像素子、ダイナミックメモリ素子、論理回路素子などほとんどの半導体装置に関係するが、本発明を説明するに最も簡明な赤外線撮像素子(以後 Infra-Red CCD、略して IRCCD と呼ぶ)を実施例としてとりあげ

従来の IRCCD と比較して、その特徴を述べるものとする。IRCCD の場合、赤外線センサとして良好な半導体材料である。たとえば、InSb(インジウム・アンチモン)や HgCdTe(水銀、カドミウム、テルル)などを受光部に格子状に配列し、この受光部で発生する電子を CCD 素子に転送して画像を得る方法がある。上記材料は赤外線センサとして良好な化合物半導体であるが多元結晶であるため欠陥の少ない大口径結晶が得られないことにより、上記化合物半導体を基板としてこれに CCD を形成した場合、シリコンによる CCD に比べて、転送効率が極めて小さい欠点がある。そのため CCD 部分をシリコン基板上に形成する方法がとられている。しかしこの場合、格子状に配列するセンサ部分と、電荷を転送する CCD 部とを各々セルごとに接続した場合、普通双方を In(インジウム)などの軟かい金属によつて接続するが、接続部の対向電極の径が小さく数多くの接続点を有するので、5%程度の不良接続点が発生する。即ち受光部が正常に動かず、画面で部分的に暗点の

(1)

(2)

ある画像となる。また仮に化合物半導体の結晶性が改善されてCCDとして良好な結晶になりこの化合物半導体からなる基板の一主面上にセンサおよびCCD素子を形成することが出来たとしても一般に単一のセルは受光部とCCD部とにより作られるので、各セルの受光部と受<sup>光</sup>部との間に間隙ができ、いわゆる開口率(セル中に占める受光部の面積)が40~50%程度に低下する。

精度のよい画像を得るには、開口率が100%近くになることが望ましいので、上記のような単一基板を用いる装置は実用的でない。

これはIRCCDのうちセンサとして、シリコン基板にP<sub>+</sub>B<sub>1</sub>のショットキー接合による受光部とCCDとしてシリコン基板を用いる場合にも当てはまり一層基板により開口率を100%近くにするとは不可能であつた。

本発明は高い集積度と高い信頼性を有する半導体装置を提供するものである。

以下、図に示す実施例について説明する。

第1図乃至第8図(a)はこの発明による半導体装

(3)

して金属膜(8)をエッチングすると、露出した表面からエッチングされるため、金属膜(8)からなる円柱は第4図に示すように尖鋭な円錐状の形状となる。最後に第5図に示すようにレジスト(7)(9)を除去し、更に最初に蒸着した銅膜(6)、クロム膜(5)の金属膜(8)で覆われない部分を除去して、突起状電極の形成をおえる。

次に対向する電極を形成するが、その形成方法は従来の半田パンプ、金パンプを形成する方法と何ら異なるところはない。即ち、第6図に示すようにシリコン基板(11)の一主面上に絶縁膜(12)を設け、その開孔部にアルミニウム膜(13)からなる電極を形成した後、電極以外を絶縁膜(14)でおおいつづいてクロム膜(15)、銅膜(16)の蒸着、写真製板によるレジスト膜(17)のパターン形成、つづいてレジスト膜開孔部への半田、あるいは金などの金属膜(18)のメツキをおこなひ、レジスト膜(17)を除去したあと、先のクロム膜(15)、銅膜(16)の金属膜(18)で覆われていない部分をエッチングにより除去する。従いて、半田パンプの場合、

(5)

置の電極の製造工程を示しており、先ず第1図に示すように、シリコン基板(1)の一主面にSiO<sub>2</sub>又はSi<sub>3</sub>N<sub>4</sub>などからなる絶縁膜(2)を形成し、この絶縁膜に開孔部を形成し、この開孔部にアルミニウム膜(3)よりなる電極パターンを形成し、この電極パターンを除いてSiO<sub>2</sub>又はSi<sub>3</sub>N<sub>4</sub>などからなる絶縁膜(4)をコーティングした後通常のパンプ形成プロセスと同じく、クロム、銅からなる薄膜(5)(6)を第2図に示すように装<sup>置</sup>によりシリコンウエハ上に形成する。次に第3図に示すようにドライフィルムと呼ばれる感光性フィルム又はホトレジストからなる膜(7)を厚く全面に被着して後、写真製板技術により膜(7)を開孔し、メツキ法によつて、たとえば銅、金などからなる金属膜(8)を厚く形成する。この際、レジストなどの膜(7)で被着されている所はメツキされない。レジスト(7)の膜厚と同程度まで、メツキを施したあと、全面にうすくレジストを塗布し、メツキした金属円柱の中央部のみをレジストがおおひように写真製板でレジスト(9)をパターン形成する。次にエッチング液に浸漬

(4)

半田リフローしてパンプ形状を整形し第7図に示すような形状のパンプ電極を得る。次に再基板(1)(11)を所定のチップ寸法にダイシングしてのち、第8図(a)に示すように各々相対する電極同士を一方が他方に食い込んだ状態で溶着する。第8図(b)から明らかなように従来電極同士の溶着は第8図(b)に示すような断面構造であつたが、第8図(c)に示すように、突起状の電極にすることによつて強固で、完全な接続が得られる。その理由として、電極同士の位置合せが、片方の電極が突起状であり、予備の位置合せの段階で、圧着することにより確実に相手のパンプ電極をとらえること。次に加熱して電極の表面が溶着する<sup>際</sup>、突起状の電極は銅または金で形成される<sup>か</sup>或いはそれらの金属をメツキして形成されることによつて、半田との練りを良くする。また相手電極を突起状の電極とすることにより、パンプ径の微細化がはかれることも特徴の一つである。

即ち、従来の金あるいは半田パンプの場合その径は、100~150 $\mu$ m、最小でも50 $\mu$ m程度までである。

(6)

それはパンプ径が小さくなると完全に良好な接続が得られなためである。更にスペース間隔はやはり最小50 $\mu$ m程度であり、それ以下の寸法距離では、パンプが溶着した際、横方向にパンプが広がり、隣同士が接触してしまうためである。それに比べて、本発明の場合、突起状電極の径は、最小寸法として制限がない。又パンプの径が小さくても、パンプは突起状電極と容易に位置合せされ、また溶着する際、半田パンプは横方向に広がることなく、円錐状の突起状電極の周囲に限って溶着するので、隣同士のパンプが接触することはない。それ故、電極の径を小さくすることが出来ると同時に、そのスペース間隔も極端に決められるので、単位面積当たり $5 \times 10^6$ 個/ $\text{cm}^2$ のパンプ数が容易に得られる。更に突起状電極の高さは、金属柱の高さによつて決まるので、二つの基板を重ねてパンプを溶着する際、基板間の間隙は金属突起物の高さで一定に保たれるので、温度サイクルによるせん断応力が一電極に集中することが避けられて信頼性の高い素子となる。

(7)

## (2) ダイナミックRAM

一例として、1トランジスタ1キャパシタよりなるメモリセルに於て、キャパシタの容量を十分大きくとるためと単位面積当りのセル密度を上げるために、キャパシタを第1のシリコン基板上に形成し、トランジスタを第2のシリコン基板に形成して、キャパシタとトランジスタとを高精度に接続することによつて集積度を高めることが出来る。

1トランジスタ、1キャパシタよりなるダイナミックRAMのメモリセルの電気的等価回路を第10図(a)に示す。本発明を用いて、キャパシタとトランジスタ部を別個の基板上に形成した場合の断面図を第10図(b)に示す。この際、キャパシタとして容量を大きくするため、誘電率の大きな誘電膜を介してキャパシタを作ることにも可能である。それによつて、小面積で大容量のキャパシタが作成可能で、単位面積当りのセル数の著るしい増大が期待される。

第10図に於て、(38)は電荷トランスファ用MOS

(9)

次に本発明による集積度の高い半導体装置の応用実施例について述べる。

## (1) IRCCD

第9図に示すように赤外線受光部AとCCD部Bとを積層し電極同士を接続して開口率の大きな装置を得たものである。同図に於て(20)は検知される赤外光、(21)はCCD部専用のP形シリコン基板、(22)はSiO<sub>2</sub>膜、(23)はn<sup>+</sup>層、(24)はゲート酸化膜、(25)は第1ゲート電極、(26)はSiO<sub>2</sub>膜、(27)は第2ゲート電極、(28)はSiO<sub>2</sub>膜、(29)はアルミニウム膜、(30)はクロームまたは銅からなる金属膜、(31)は銅からなる金属円錐、(32)は受光部専用のP形HgCdTe基板、(33)は絶縁膜、(34)はn形層、(35)は絶縁膜、(36)はクロームまたは銅からなる金属膜、(37)はPb-Sn、InまたはAuからなる金属パンプを示す。

この装置は基板(32)の一表面の全体を受光部とすることができるので開口率を100%近くにすることができ高精度な画像信号を転送することができる。

(8)

トランジスタ、(39)はメモリキャパシタ、(41)はトランジスタ専用のP形シリコン基板、(42)はSiO<sub>2</sub>膜、(43)はゲート酸化膜、(44)はゲート電極、(45)はソースまたはドレイン用n<sup>+</sup>領域、(46)は絶縁膜、(47)はアルミニウム膜、(48)はクローム膜、(49)は銅からなる金属円錐、(50)は上記シリコン基板とは別のキャパシタ専用のシリコン基板、(51)は絶縁膜、(52)はキャパシタ用誘電体膜、(53)はキャパシタ電極用不純物含有ポリシリコン膜、(54)は絶縁膜、(55)はアルミニウム膜、(56)はクロームまたは銅からなる金属膜、(57)は半田または金からなるパンプを示す。

この装置により集積度の高いダイナミックRAMを得ることができる。

その他、論理回路についても同様に論理回路用の機能素子を複数の基板に分割して形成し、各基板を電極を介して接続することによつて、大容量の論理回路の形成と、配線長の短縮化によつて、高速度素子が得られる。更にC-MOSの場合一基板上にロッチャネルMOS Trを、<sup>他</sup>の基板にPチャ

(10)

ンネル MOS Tr を各々形成し、電極を介して接続する方法も可能である。

以上のように、本発明は各々主面に機能素子を形成した一対の基板を互に対向して設け、両機能素子を電極を介して互いに電気接続するようにしたので、単位面積当りの機能素子の集積度を大巾に高めることができる。

また一万の基板に形成された電極を突起状とし、これを他方の基板に形成された電極に食い込ませるようにしたので確実に電極間接続を行うことができ信頼度の高い半導体装置を得ることができる。

#### 4. 図面の簡単な説明

第1図乃至第7図は本発明の一実施例による半導体装置の電極の製造工程を示す断面図、第8図(a)は本発明の一実施例による半導体装置の電極溶着状態を示す断面図、第8図(b)は従来の半導体装置の電極溶着状態を示す断面図、第9図は本発明による IRCCD を示す断面図、第10図(a)および(b)は本発明によるダイナミック RAM のメモリセルを示

(11)

(51) 絶縁膜、(52) 誘電体膜、(53) ポリシリコン膜、(54) 絶縁膜、(55) アルミニウム膜、(56) クロム・銅膜、(57) 半田又は金バンプ。

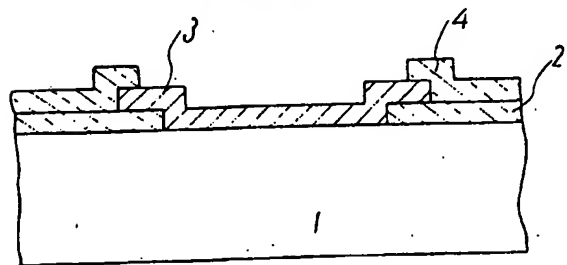
代理人 葛野 信一

す電気回路図と断面図である。

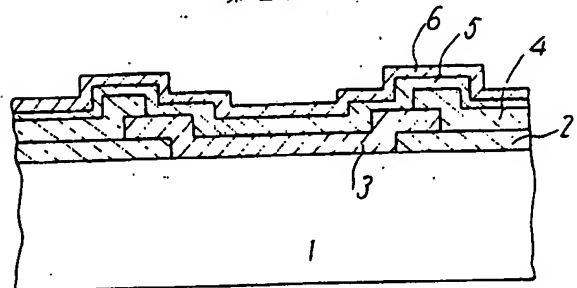
(1) シリコン基板、(2) 絶縁膜、(3) アルミニウム膜、(4) 絶縁膜、(5) クロム膜、(6) 銅膜、(7) 厚いレジスト膜又はドライフィルム膜、(8) ノツキによる厚い金属膜、(9) レジスト膜、(11) シリコン基板、(12) 絶縁膜、(13) アルミニウム膜、(14) 絶縁膜、(15) クロム膜、(16) 銅膜、(17) レジスト膜、(18) 金属膜、(20) は赤外光、(21) シリコン基板 (P-B1)、(22) は B10 $\pm$  膜、(23) n $\pm$  層、(24) ゲート酸化膜、(25) 第1ゲート電極、(26) B10 $\pm$  膜、(27) 第2ゲート電極、(28) B10 $\pm$  膜、(29) アルミニウム膜、(30) クロム・銅膜、(31) 銅円錐、(32) HgCdTe 基板 (P 形)、(33) 絶縁膜、(34) n 形層、(35) 絶縁膜、(36) クロム・銅膜、(37) Pb-Sn 又は In バンプ、あるいは Au バンプ、(38) トランスファ用 MOS トランジスタ、(39) キャパシタ、(41) シリコン基板 (P 形)、(42) 酸化膜、(43) ゲート酸化膜、(44) ゲート電極、(45) ソース・ドレイン (n $\pm$ ) 領域、(46) 絶縁膜、(47) アルミニウム膜、(48) フローム膜、(49) 銅円錐、(50) シリコン基板、

(12)

第1図

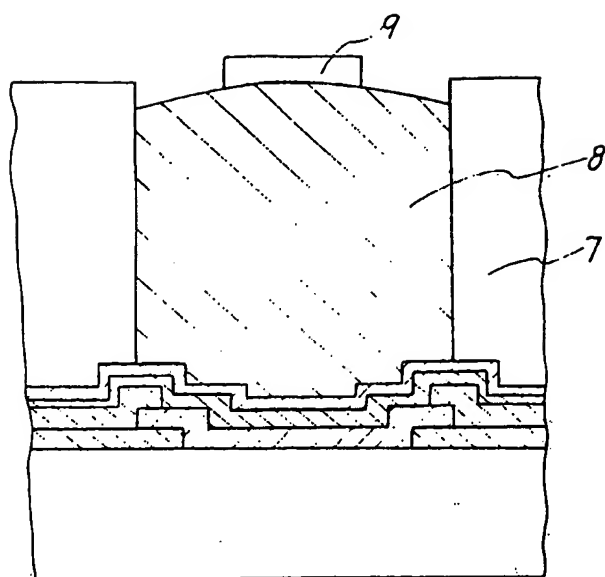


第2図

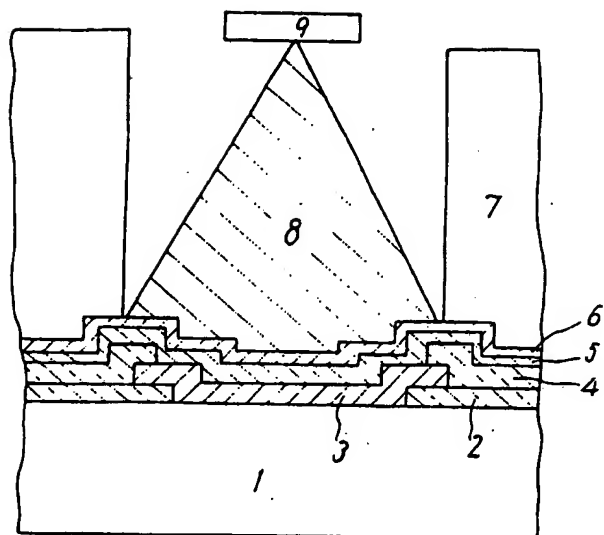


(13)

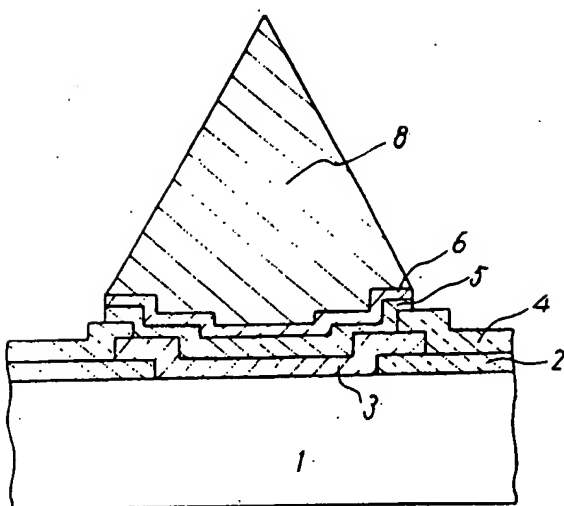
第 3 圖



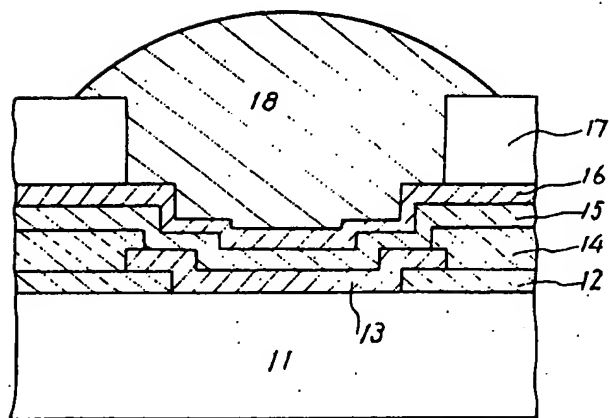
第 4 圖



第 5 圖

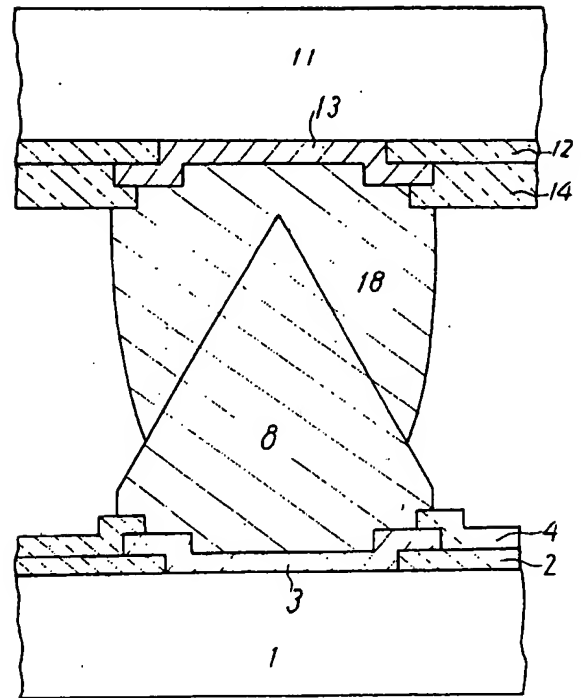
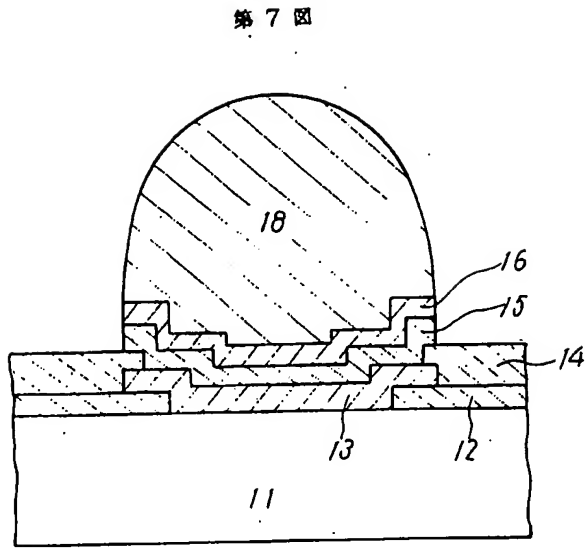


第 6 圖



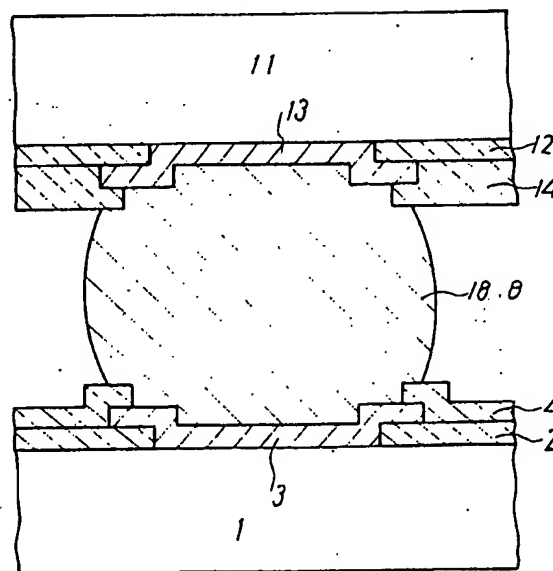
第8図

(a)



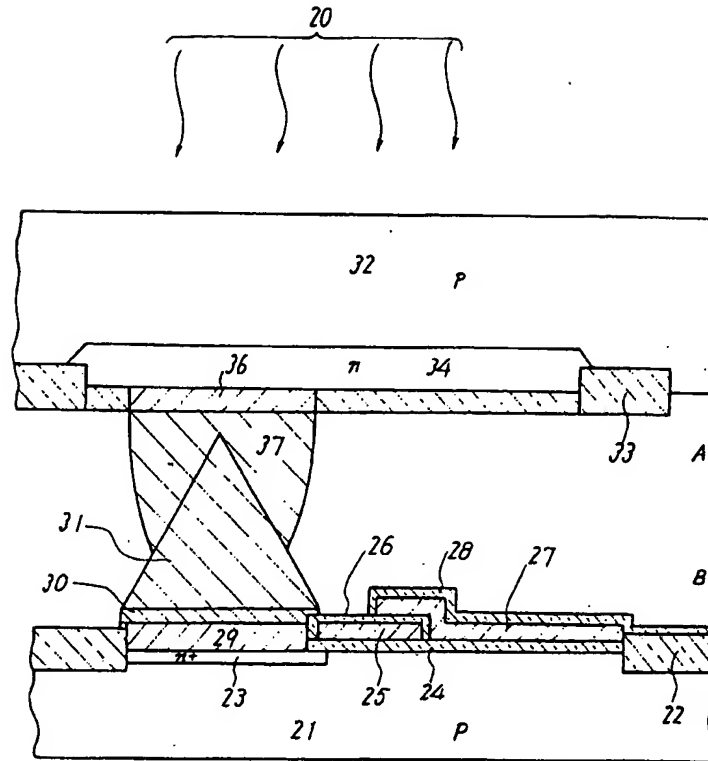
第8図

(b)



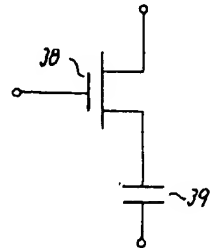


第9圖



第10圖

(a)



(b)

